



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 04 月 10 日  
Application Date

申 請 案 號：092108326  
Application No.

申 請 人：旺宏電子股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 24 日  
Issue Date

發文字號：C9220747690  
Serial No.

申請日期：	IPC分類
申請案號：092108726	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	利用遮蔽式鳥嘴改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 楊雲祺
	姓 名 (英 文)	1. Yun-Chi Yang
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣芎林鄉三民路113號3樓之8
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 旺宏電子股份有限公司
	名稱或 姓 名 (英 文)	1. Macronix International Co., Ltd.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1. 胡定華
	代表人 (英 文)	1. Ding-Hua Hu



四、中文發明摘要 (發明名稱：利用遮蔽式鳥嘴改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法)

一種改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法，其係在元件區的邊緣形成鳥嘴邊襯，以防止後續形成的穿隧氧化層在該元件區的角落太過尖銳使得局部電場增強，進而引發邊緣電場效應造成崩潰。

五、(一)、本案代表圖為：第\_\_\_10\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

10	基底
15	襯氧化物
25	氧化物
26	鳥嘴邊襯
30	穿隧氧化層

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

本發明係有關一種高密度快閃(flash)記憶體，特別是關於一種利用遮蔽式鳥嘴改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法。

### 先前技術

積體電路的製造技術發展的趨勢，主要在於電晶體的尺寸不斷地縮小，因為縮小的元件能改善切換速度與元件消耗功率，電路之集積密度與功能也可提昇。傳統的局部矽氧化(Localized Oxidation of Silicon; LOCOS)法受到鳥嘴(bird's beak)效應與表面不平坦的限制，只能縮小到幾微米，因此，為了克服尺寸縮小的問題又發展出淺溝渠隔離(Shallow Trench Isolation; STI)技術以決解所面臨的瓶頸。

典型的STI製程係在一矽基板上形成遮罩(mask)，以微影程序定義STI圖案後，利用該遮罩蝕刻溝渠，之後在溝渠內填充一氧化物，並可選擇性地在填充該氧化物以前先形成一氧化物(Liner oxide)在溝渠內。後續通常更以化學機械研磨(Chemical-Mechanical Polishing; CMP)回蝕該氧化物並平坦化表面。接下來才在元件區製作電晶體構造。

STI雖然能縮小元件的尺寸，然而，後續形成之穿隧氧化層在元件區的角落太過尖銳，使得局部電場增強進而引發邊緣電場效應造成崩潰。



## 五、發明說明 (2)

因此，一種改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法。

### 發明內容

本發明的目的，在於提出一種利用遮蔽式鳥嘴改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法。

根據本發明，一種改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法包括在基底上沈積一墊層後定義多個淺溝渠隔離及多個元件區，以該墊層為遮罩蝕刻基底以形成多個溝渠，在溝渠內成長襯氧化物延伸至元件區的邊緣形成初始鳥嘴，跟著沈積一氧化物填滿該多個溝渠，以化學機械研磨回蝕該氧化物，並以該墊層作為研磨終止層，因而留下一平坦化的表面，在移除該墊層後，再次沈積氧化物覆蓋該STI氧化物，並蝕刻該氧化物形成鳥嘴邊襯遮蔽該初始鳥嘴，因而防止後續所形成的穿隧氧化層在元件區的角落部分太過尖銳。

### 實施方式

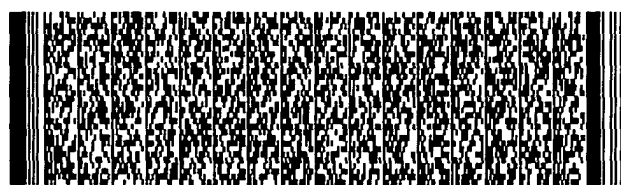
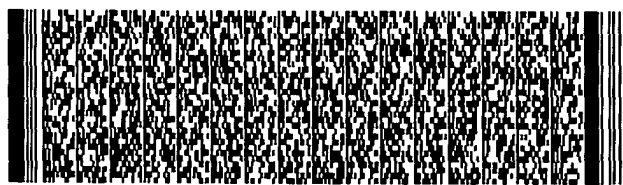
第一圖至第十圖根據本發明的一個實施例。如第一圖所示，首先在矽基底10上沈積一氮化物，跟著定義淺溝渠隔離的圖案及蝕刻該氮化矽物以形成多個墊氮化物12。接著以墊氮化物為遮罩蝕刻基底10以形成多個溝渠14，如第二圖所示。接下來在例如1100~1200℃下進行高溫氧化製程，如第三圖所示，形成襯氧化物15在溝渠14的表面，此



### 五、發明說明 (3)

步驟將使得溝渠14的邊緣圓滑化，同時形成鳥嘴16侵入墊氮化物12下方的元件區。跟著再使用例如在400~500℃高密度電漿氮化物18沈積填滿每一溝渠14，如第四圖所示。接著以例如化學機械研磨回蝕氮化物18，此步驟以墊氮化物12作為蝕刻終止層，因而留下一平坦化的表面，跟著去除墊氮化物12而露出元件區20，如第五圖所示。跟著再度以例如在800~900℃下高溫氧化製程沈積一氮化物24覆蓋STI 18及元件區20，如第六圖所示，而且，在此高溫程序中，兩次沈積的氮化物18及24將熔合在一起成為氮化物25。然後蝕刻氮化物25使元件區20再次露出，此時氮化物25在元件區20邊緣的部分將形成鳥嘴邊襯26，如第七圖所示，此鳥嘴邊襯26將自對準並遮蔽鳥嘴16。此蝕刻氮化物25的步驟可以過度蝕刻，以去除元件區20中矽基底10的表面一厚。不同地，亦可在元件區20形成一犧牲氧化層28後，再去除該犧牲氧化層28，如第八圖及第九圖所示，該犧牲氧化層28的製備及移除係為了清除先前製程中殘留在元件區20上之物質。最後，在元件區20上形成一穿隧氧化層30，如第十圖所示，由於在元件區20兩側的鳥嘴26覆蓋元件區20邊緣的彎角部分，故可防止穿隧氧化層30形成時因該彎角地形而形成尖端。

以上對於本發明之較佳實施例所作的敘述係為闡明之目的，而無意限定本發明精確地為所揭露的形式，基於以上的教導或從本發明的實施例學習而作修改或變化是可能的，實施例係為解說本發明的原理以及讓熟習該項技術者



五、發明說明 (4)

以各種實施例利用本發明在實際應用上而選擇及敘述，本發明的技術思想企圖由以下的申請專利範圍及其均等來決定。





## 圖式簡單說明

對於熟習本技藝之人士而言，從以下所作的詳細敘述配合伴隨的圖式，本發明將能夠更清楚地被瞭解，其上述及其他目的及優點將會變得更明顯，其中：

第一圖至第十圖係根據本發明的一個實施例：

第一圖係在基底上形成墊氮化物及定義淺溝渠隔離圖案後的示意圖；

第二圖係蝕刻淺溝渠隔離的溝渠的示意圖；

第三圖係在溝渠中形成襯氧化物的示意圖；

第四圖係沈積高密度電漿氧化物的示意圖；

第五圖係經過化學機械研磨及移除墊氮化物後的示意圖；

第六圖係高溫氧化物沈積後的示意圖；

第七圖係蝕刻以形成鳥嘴邊襯的示意圖；

第八圖係沈積犧牲氧化物的示意圖；

第九圖係移除犧牲氧化物後的示意圖；以及

第十圖係形成穿隧氧化層的示意圖。

## 圖式標號說明

10	基底
12	墊氮化物
14	溝渠
15	襯氧化物
16	鳥嘴
18	氧化物



圖式簡單說明

20	元 件 區
24	氧 化 物
25	氧 化 物
26	鳥 嘴 邊 襯
28	犧 牲 氧 化 物
30	穿 隧 氧 化 層



## 六、申請專利範圍

1、一種利用遮蔽式鳥嘴改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法，包括下列步驟：

在一基底上形成多個溝渠以隔離多個元件區；

在該多個溝渠中形成襯氧化物延伸至該多個元件區的邊緣；

沈積一第一氧化物填滿該多個溝渠形成多個淺溝渠隔離；

沈積一第二氧化物覆蓋該多個淺溝渠隔離及元件區；

蝕刻該第二氧化物以形成多個鳥嘴邊襯在該多個元件區的邊緣；以及

形成穿隧氧化層在該多個元件區。

2、如申請專利範圍第1項之方法，其中該形成多個溝渠的步驟包括下列步驟：

在該基底上形成一墊氮化物；

在該墊氮化物上定義該多個淺溝渠隔離的圖案；以及

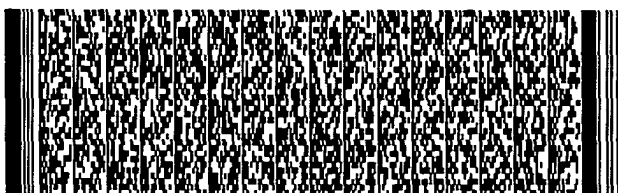
以該墊氧化物為遮罩蝕刻該基底以形成該多個溝渠。

3、如申請專利範圍第1項之方法，其中該形成多個淺溝渠隔離的步驟包括下列步驟：

高密度電漿氧化物沉積該第一氧化物；以及

化學機械研磨該第一氧化物。

4、如申請專利範圍第1項之方法，其中該沈積第二



## 六、申請專利範圍

氧化物的步驟包括高溫氧化物沉積。

5、如申請專利範圍第1項之方法，更包括下列步驟：

在該形成多個鳥嘴後形成犧牲氧化物在該多個元件區；以及

移除該犧牲氧化物。

6、如申請專利範圍第1項之方法，其中該襯氧化在該多個元件區的邊緣形成多個初始鳥嘴。

7、如申請專利範圍第6項之方法，其中該邊襯鳥嘴自對準並遮蔽該初始鳥嘴。

8、一種利用遮蔽式鳥嘴改善高密度快閃記憶體之穿隧氧化層邊緣之電崩潰的方法，包括下列步驟：

在一基底上沉積一墊氮化物；

在該墊氮化物上定義一元件區及淺溝渠隔離的圖案；

以該墊氮化物為遮罩蝕刻該基底以形成一溝渠；

在該溝渠中形成一襯氧化物延伸至該元件區的邊緣

侵入該墊氮化物下方形成一鳥嘴；

沉積一第一氧化物填滿該溝渠並覆蓋該氮化物；

回蝕刻該第一氧化物；

移除該墊氮化物；

沉積一第二氧化物覆蓋該第一氧化物及元件區；

蝕刻該第二氧化物以形成鳥嘴邊襯在該元件區的邊緣；以及



#### 六、申請專利範圍

形成穿隧氧化層在該元件區。

9、如申請專利範圍第8項之方法，其中該形成襯氧化物係使用1100~1200℃的高溫氧化法。

10、如申請專利範圍第8項之方法，其中該沈積第一氧化物係使用高密度電漿氧化製程，其操作溫度在400~500℃。

11、如申請專利範圍第8項之方法，其中該回蝕刻第一氧化物係使用化學機械研磨，並以該墊氮化物為蝕刻終止層。

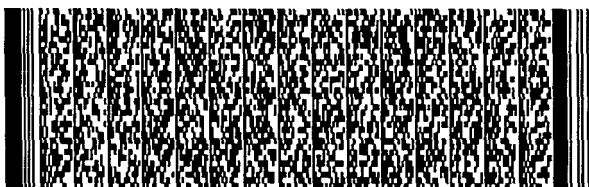
12、如申請專利範圍第8項之方法，其中該沈積第二氧化物係使用高溫氧化沉積製程，其操作溫度在800~900℃。

13、如申請專利範圍第12項之方法，其中該第一及第二氧化物熔合在一起。

14、如申請專利範圍第8項之方法，其中該蝕刻第二氧化物過度蝕刻以去除該元件區中該基底之表面一厚度。

15、如申請專利範圍第8項之方法，更包括下列步驟：

在該形成多個鳥嘴後形成犧牲氧化物在該多個元件區；以及  
移除該犧牲氧化物。



第 1/12 頁



第 2/12 頁



第 3/12 頁



第 4/12 頁



第 4/12 頁



第 5/12 頁



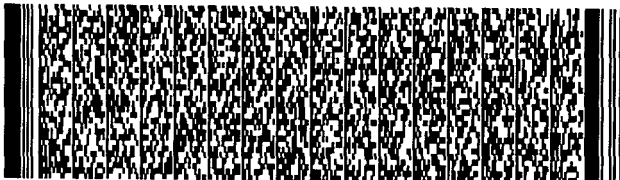
第 5/12 頁



第 6/12 頁



第 6/12 頁



第 7/12 頁



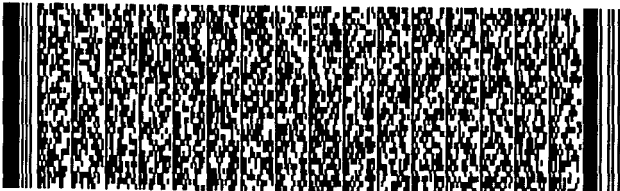
第 8/12 頁



第 9/12 頁



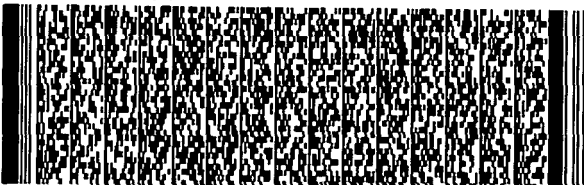
第 10/12 頁

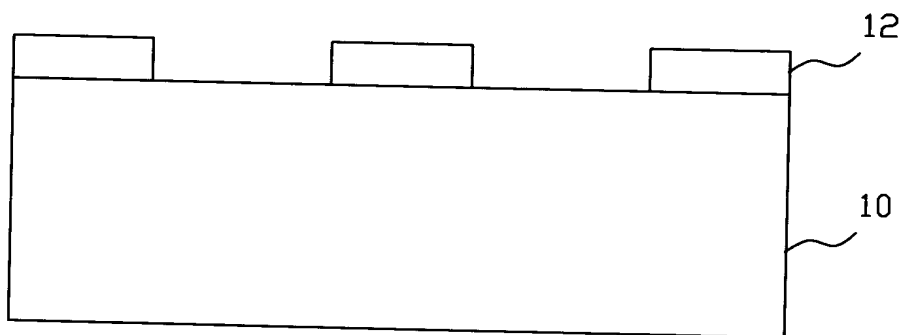


第 11/12 頁

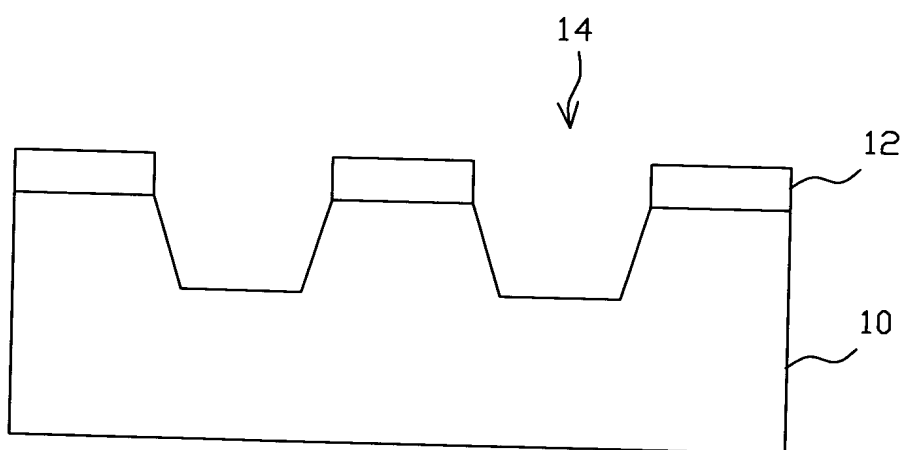


第 12/12 頁

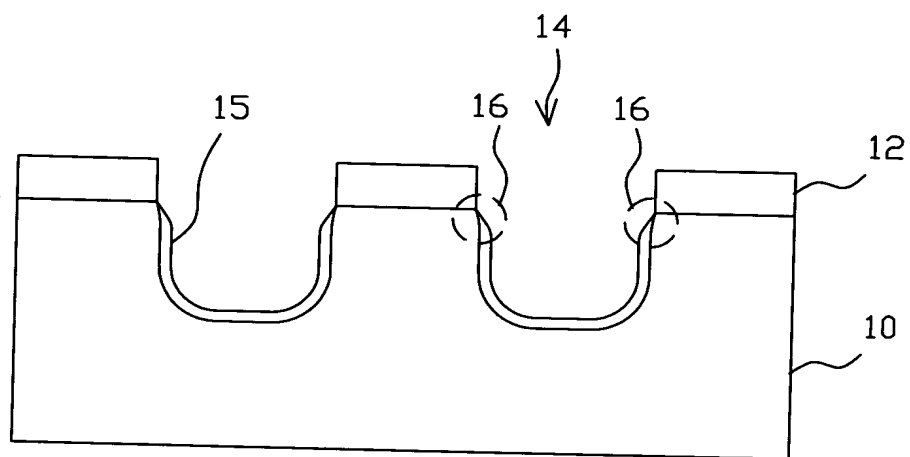




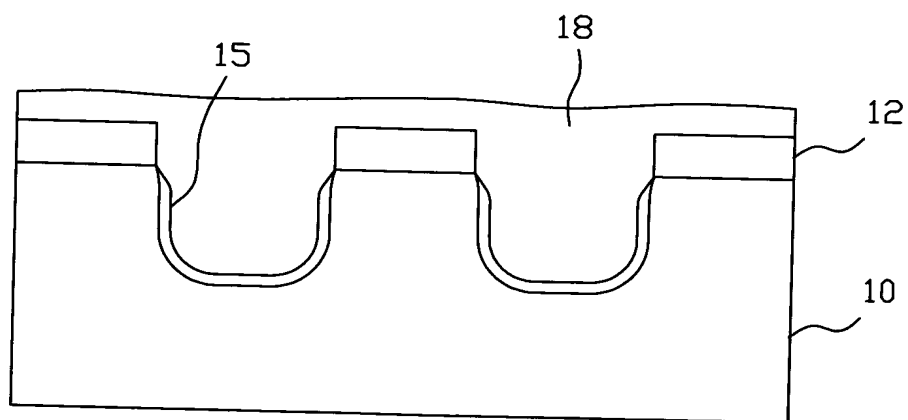
第一圖



第二圖

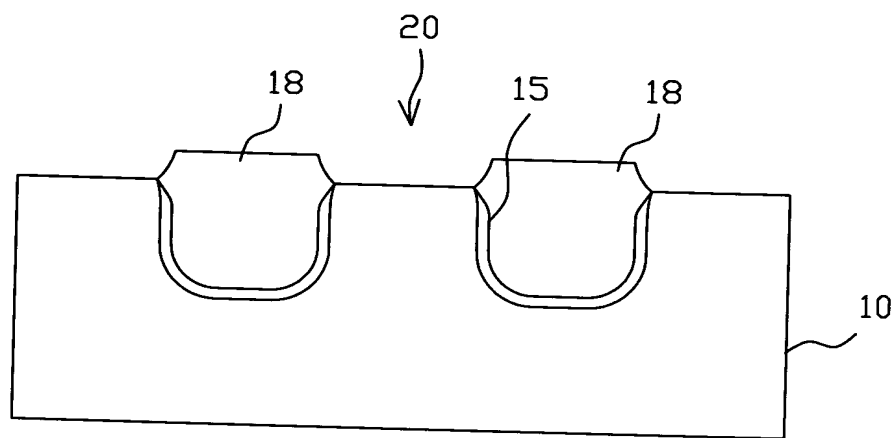


第三圖

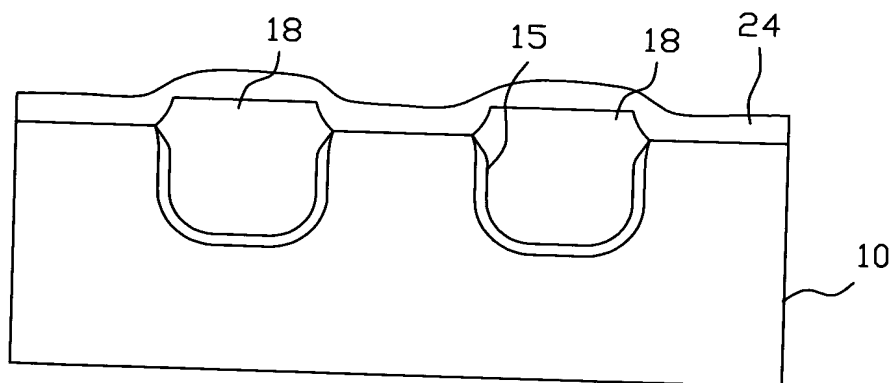


第四圖

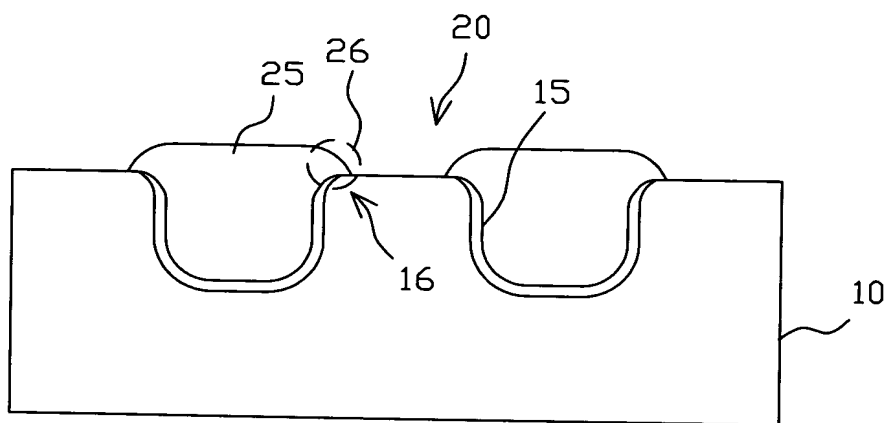




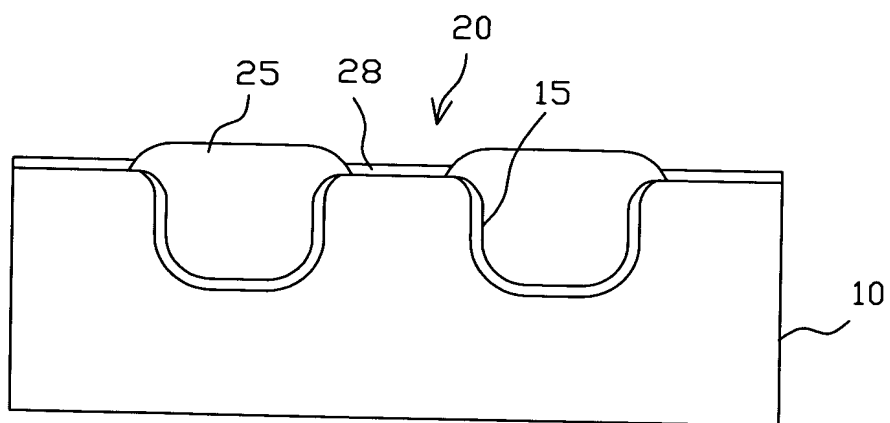
第五圖



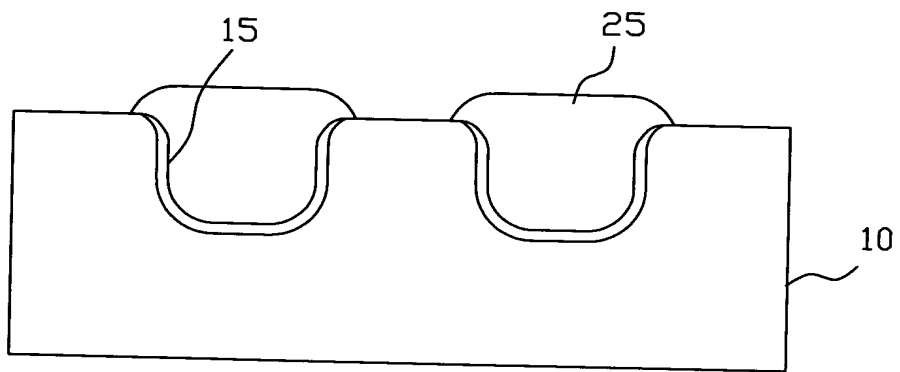
第六圖



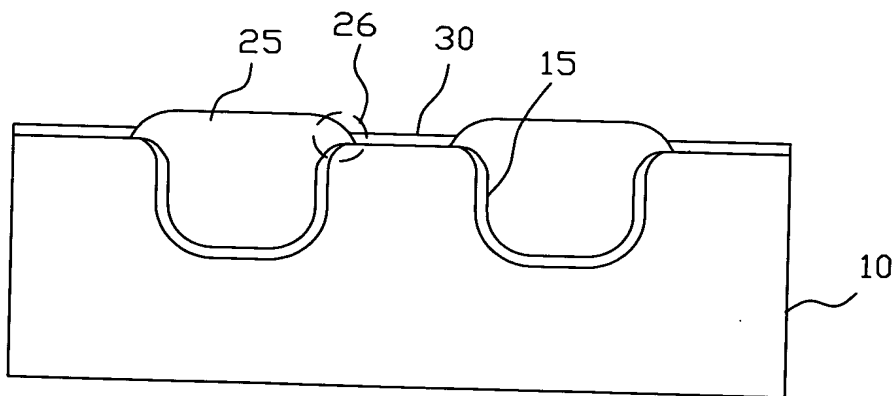
第七圖



第八圖



第九圖



第十圖